

**UNIVERSIDAD DE MÁLAGA**  
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE  
TELECOMUNICACIÓN



**TRABAJO FIN DE MÁSTER**

**VICON: Sistema de Vision configurable**

Máster en Sistemas Electrónicos  
para Entornos Inteligentes

MÁLAGA, 2026

Carlos Manuel Gomez Jimenez

## VICON: Sistema de Vision configurable

**REALIZADO POR:**

Carlos Manuel Gomez Jimenez

**DIRIGIDO POR:**

Martin Gonzalez Garcia

**DEPARTAMENTO:**

Tecnología Electrónica

**TITULACIÓN:**

Máster en Sistemas Electrónicos para Entornos Inteligentes

**PALABRAS CLAVE:**

FPGA, VHDL, RTL, Síntesis Lógica, sensor CMOS, visión artificial, OpenCV.





## RESUMEN

---

Este proyecto surge de la necesidad de ...



## AGRADECIMIENTOS

---

El desarrollo de este proyecto ha sido posible gracias a la colaboración de muchas personas.



## ÍNDICE GENERAL

---

1	INTRODUCCIÓN	1
1.1	Motivación . . . . .	1
1.2	Requisitos . . . . .	1
2	DESARROLLO	3
2.1	RTL Design . . . . .	3
2.1.1	I2C Controller . . . . .	3
	BIBLIOGRAFÍA	7

LISTA DE TAREAS PENDIENTES

---

Esquema SysML (?) . . . . . 1  
Figuras diagramas . . . . . 3

ÍNDICE DE FIGURAS

---

Figura 2.1      Tramas para Escritura y Lectura de 16 bits en el bus I2C del sensor MT9V111. . . . . 4

Figura 2.2      Cronograma de las 4 fases de SCLK. . . . . 4

Figura 2.3      Conexión del sensor CMOS a la Basys 3. . . . . 5

ÍNDICE DE TABLAS

---

Tabla 2.1 Mapeo de pines PMOD entre las placas ZYBO Z7 y Basys 3. . . 6

## ACRONIMOS

---

**PCB** Printed Circuit Board



# INTRODUCCIÓN

---

## 1.1 MOTIVACIÓN

### *Problema*

Lorem ipsum Printed Circuit Board (PCB).

## 1.2 REQUISITOS

### Lorem ipsum

Formato de requisitos en SysML o en tabla?



## DESARROLLO

---

### 2.1 RTL DESIGN

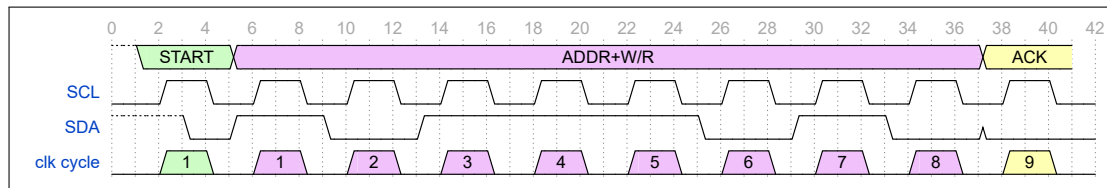
#### 2.1.1 I2C Controller

La interfaz de control del sensor MT9V111 incluye un bus I2C, que permite la escritura y lectura de los registros internos del sensor. Dentro de los distintos modos de operación, en este proyecto se implementan las funciones de escritura y lectura de datos de 16 bits, que es el tamaño de los registros internos. Además, el sensor permite escritura/lectura iterativa en una sola transmisión y es el modo de comunicación que se usará. [1]

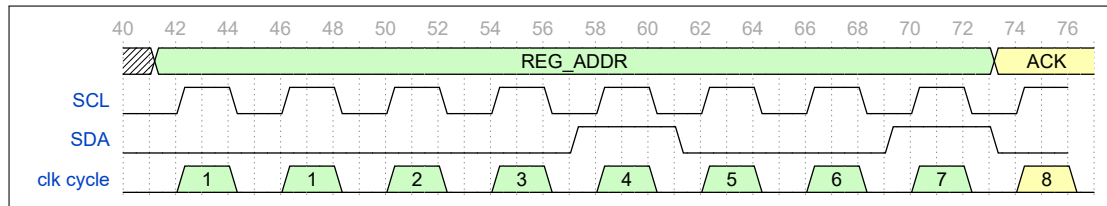
#### PROTOCOLO I2C MT9V111

- Start: El bit de start se da cuando la señal SDA baja mientras SCLK está en alto (Marcador 3 en 2.1).

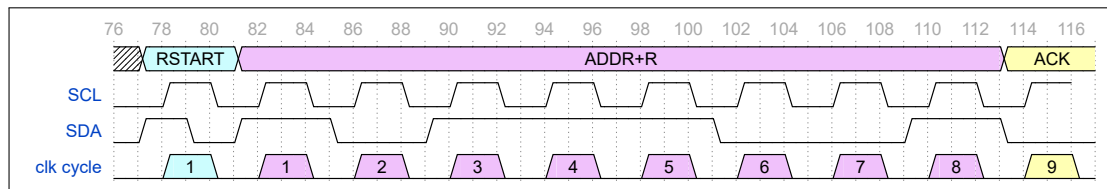
Explicar de forma detallada junto con los diagramas de drawio la secuencia de la FSM del I2C Controller.



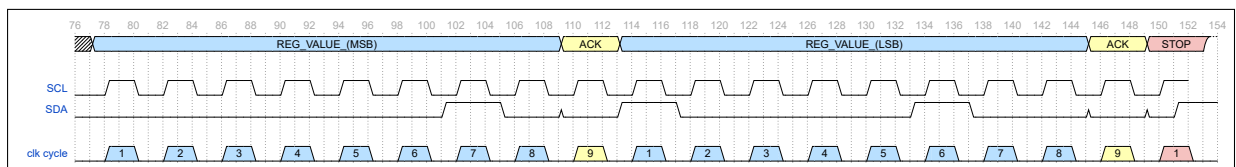
(a) Envío de dirección de esclavo



(b) Envío de dirección del registro + W



(c) Envío de start repetido y de dirección del resitro + R



(d) Envío de valor del registro: MSB & LSB

Figura 2.1: Tramas para Escritura y Lectura de 16 bits en el bus I2C del sensor MT9V111.

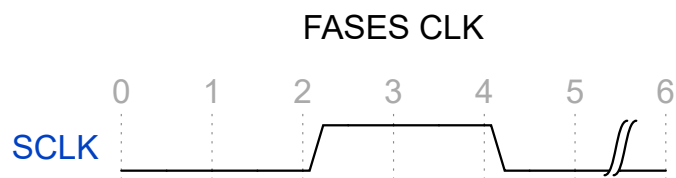
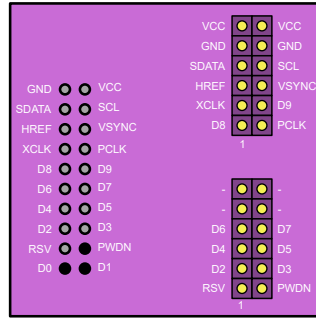
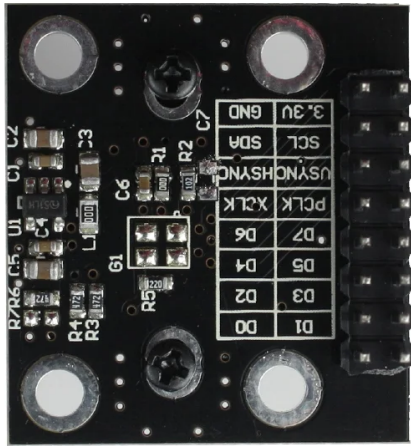


Figura 2.2: Cronograma de las 4 fases de SCLK.



BOTTOM VIEW OF OV5642 TO ZYBO ADAPTER BOARD

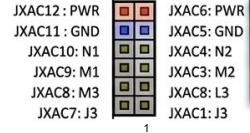
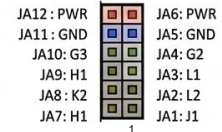


Figura 2.3: Conexión del sensor CMOS a la Basys 3.

Tabla 2.1: Mapeo de pines PMOD entre las placas ZYBO Z7 y Basys 3.

ZYBO Z7 PMOD	PMOD PIN	FPGA PIN	SIGNAL	BASYS 3 PMOD	FPGA PIN <sub>2</sub>
JC	1	V15	RESETCAM	JXADC	J1
JC	2	W15	datain[0]	JXADC	L2
JC	3	T11	datain[2]	JXADC	J2
JC	4	T10	datain[4]	JXADC	G2
JC	5		GND	JXADC	
JC	6		VCC	JXADC	
JC	7	W14		JXADC	H1
JC	8	Y14	datain[1]	JXADC	K2
JC	9	T12	datain[3]	JXADC	H1
JC	10	U12	datain[5]	JXADC	G3
JC	11		GND	JXADC	
JC	12		VCC	JXADC	
JD	1	T14	datain[6]	JA	J3
JD	2	T15	xclk	JA	L3
JD	3	P14	href	JA	M2
JD	4	R14	iic_o_sda_io	JA	N2
JD	5		GND	JA	
JD	6		VCC	JA	
JD	7	U14	pclk	JA	K3
JD	8	U15	datain[7]	JA	M3
JD	9	V17	vsync	JA	M1
JD	10	V18	iic_o_scl_io	JA	N1
JD	11		GND	JA	
JD	12		VCC	JA	

## BIBLIOGRAFÍA

---

- [1] Aptina Imaging Corporation. *MT9V111: 1/4-Inch SOC VGA CMOS Active-Pixel Digital Image Sensor*. Aptina Imaging Corporation, 2004. URL <https://mm.digikey.com/Volume0/opasdata/d220001/medias/docus/992/MT9V111.pdf>. MT9V111 Datasheet, Rev. K.
- [2] Lund University. Max iv laboratory. adaptocell [internet]. Lund, 2021. Retrieved from: <https://portal.research.lu.se/en/projects/adaptocell-for-max-iv-laboratory-users>.
- [3] Aslak. An i2c controller implemented in vhdl, 2021. Retrieved from: <https://www.aslak.net/index.php/2021/05/05/an-i2c-controller-implemented-in-vhdl/>.